

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-9801

(P2000-9801A)

(43)公開日 平成12年1月14日(2000.1.14)

(51)Int.Cl.⁷

G 0 1 R 31/28
35/00

識別記号

F I

G 0 1 R 31/28
35/00

テーマコード(参考)

P 2 G 0 3 2
L

審査請求 未請求 請求項の数3 O L (全 8 頁)

(21)出願番号

特願平10-172688

(22)出願日

平成10年6月19日(1998.6.19)

(71)出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72)発明者 竹本 浩志

東京都練馬区旭町1丁目32番1号 株式会
社アドバンテスト内

(74)代理人 100066153

弁理士 草野 卓 (外1名)

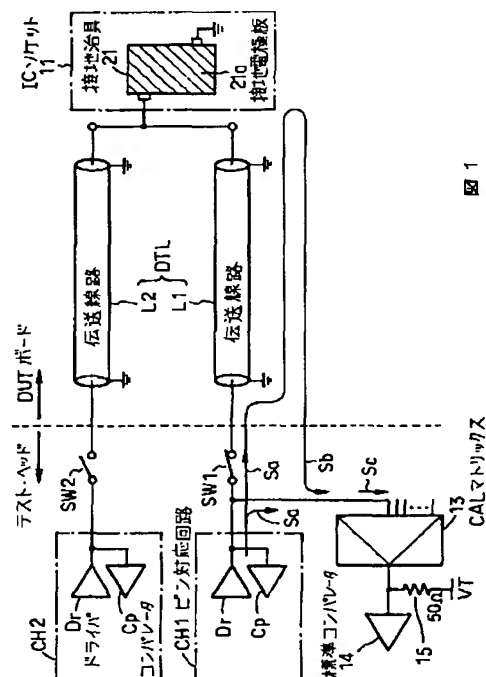
Fターム(参考) 2G032 AD06 AE06 AG00 AH00 AJ00

(54)【発明の名称】 IC試験装置のTDRタイミング校正方法

(57)【要約】

【課題】 DTL (デュアル伝送線路) 配線のDUTボードのTDR (Time Domain Reflect ion) タイミング校正を可能にする。

【解決手段】 ICソケットのDUT端を接地し、 i ($i=1, 2$) ピン対応回路より試験波形を第 i ($i=1, 2$) 伝送線路の一端に印加し、他端側のICソケットのDUT端で全反射して戻って来る迄の往復の伝搬遅延時間 $2 \times \tau_{ig}$ ($i=1, 2$) をそれぞれ測定し、その測定データを用いて第 i ($i=1, 2$) ピン対応回路のスキュー調整用可変遅延回路の遅延量を調整して、各ピン対応回路の試験波形のDUT端におけるタイミングを校正する。



【特許請求の範囲】

【請求項1】 1対のデュアル伝送線路(DTLと言う)を構成する第1、第2の伝送線路の一端が第1、第2スイッチをそれぞれ介して第1、第2のピン対応回路(少くともドライバ及びスキュー調整可変遅延回路を含む)の入出力端にそれぞれ接続され、第1、第2の伝送線路の各他端同士が接続されてDUT(被試験デバイス)を着脱自在に装着するICソケットの端子に接続されているIC試験装置のTDR(Time Domain Reflection)タイミング校正方法において、前記ICソケットのDUT端を接地し、第 i ($i=1, 2$)ピン対応回路より試験波形を第 i ($i=1, 2$)伝送線路の一端に印加し、他端側のICソケットのDUT端で全反射して戻って来る迄の往復の伝搬遅延時間 $2 \times \tau_{ig}$ ($i=1, 2$)をそれぞれ測定し、その測定データを用いて第 i ($i=1, 2$)ピン対応回路のスキュー調整可変遅延回路の遅延量を調整して、各ピン対応回路の試験波形のDUT端におけるタイミングを校正することを特徴とするIC試験装置のTDRタイミング校正方法。

【請求項2】 請求項1において、一端が第3スイッチを介して第3のピン対応回路の入出力端に接続され、他端が前記ICソケットの他の端子に接続されている第3の伝送線路を用い、第3の伝送線路が接続されるICソケットのDUT端を開放または接地し、第3ピン対応回路から試験波形を第3伝送線路の一端に印加し、他端で全反射して戻って来る迄の往復の伝搬遅延時間 $2 \times \tau_{3p}$ 及び $2 \times \tau_{3g}$ を測定し、これらの測定値より遅延時間の差値 $\Delta \tau_3 = \tau_{3g} - \tau_{3p}$ を求め、その差値を前記第 i ($i=1, 2$)伝送線路の伝搬遅延時間 τ_{ig} ($i=1, 2$)より引算して補正することを特徴とするIC試験装置のTDRタイミング校正方法。

【請求項3】 請求項1または2において、外形がDUTにはば等しく、DUTの各端子(ピン)と同じ位置に対応する端子を有し、それらの端子が共通の接地電極板に接続されている接地治具を用意し、その治具をICソケットに装着することによってDUT端を接地することを特徴とするIC試験装置のTDRタイミング校正方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はIC試験装置のTDR(Time Domain Reflection)タイミング校正方法に関し、特にDTL(Dual Transmission Line)配線が施されたDUTボードでICを試験する場合にも適用可能にしたものである。

【0002】

【従来の技術】(1)STL(Single Transmission Line)配線の場合

図6に示すように伝送線路Lの一端がスイッチSWを介してピン対応回路LHiの入出力端に接続され、他端がICソケット11の端子に接続される。ピン対応回路CHi等はテスト・ヘッドに実装され、伝送線路Li、ICソケット11はDUTボード(パフォーマンスボードとも言う)に実装される。

【0003】伝送線路Liの伝搬遅延時間を測定するときには、ICソケット11にDUT(被試験デバイス)12を装着しないで、DUT端を開放(open)にし、ピン対応回路CHiから図7Aに示すように矩形状の試験波形Saを印加し、そのSaと他端で全反射(反射係数=1)して戻って来た波形Sbとの重畳波形Scをマルチプレクサと同様の機能をもつCAL(キャリブレーション)マトリックス13を介して標準コンパレータ14に入力し、電圧を測定して、図7Bに示すように、波形の変化から往復の伝搬遅延時間 $2 \times \tau_{ip}$ (pはopenの意味で付けてある)を測定し、このデータに基づいて、図8に示すピン対応回路内の補正回路17の可変遅延回路の遅延量を調整して、試験波形のDUT端におけるタイミングを校正する。

【0004】図8のフリップフロップ回路F/Fの出力をセットパルスSPで立上げ、リセットパルスRPで立下げて矩形波信号を得ている。ドライバDrに与えるDREL(ドライバ・イネーブル・リーディング)クロックはドライバをオンさせるクロックであり、DRET(ドライバ・イネーブル・トレーディング)クロックはドライバをオフさせるクロックである。DUTの試験時には、ドライバDrから試験信号がDUTのピン(端子)に与えられ、DUTの応答信号がコンパレータCpで比較電圧Vrとレベル比較される。コンパレータよりパス/フェイル信号がタイミング比較器16に入力され、ストローブ信号STRBとタイミングが比較され、パス/フェイル信号が出力される。

【0005】DUT端における試験波形のタイミングを校正するために、上述のセットパルスSP、リセットパルスRP、DRELクロック、DRETクロック、ストローブ信号STRBのタイミングを補正回路17により調整する。

(2)DTL(Dual Transmission Line)配線の場合

図9、図10に示すように、DTL配線が施されたDUTボードに(1)で述べたTDR校正方法を適用してみる。即ち、ICソケット11のDUT端は開放とし、スイッチSW1をオン、SW2をオフとし、ピン対応回路CH1より試験波形SaをL1、L2を直列接続した伝送線路に印加し、スイッチSW2端で全反射して、スイッチSW1側に戻って来る信号Sbと、信号Saとの重畳信号Scの電圧をCALマトリックス13を介して標

準コンパレータ14で測定し、図10に示すように、波形の変化から $L1+L2$ の往復の伝搬遅延時間 $2 \times (\tau_1 + \tau_2)$ を求めることができる。

【0006】しかしながら、この方法では $L1$ 、 $L2$ それぞれの伝搬遅延時間 τ_1 と τ_2 を別々に測定することができないので、各ピン対応回路ごとのDUT端でのタイミング校正ができない。

【0007】

【発明が解決しようとする課題】上述したように従来のTDRタイミング校正方法では、DTL配線が施されたDUTボードの場合、ペアとなっている方のスイッチSW2までの伝送線路($L1+L2$)の遅延時間が測定されてしまい、個の線路の遅延時間を測定できないため、各ピン対応回路ごとのDUT端でのタイミング校正ができないと言う問題がある。

【0008】

【課題を解決するための手段】(1)請求項1の発明は、1対のデュアル伝送線路(DTLと言う)を構成する第1、第2の伝送線路の一端が第1、第2スイッチをそれぞれ介して第1、第2のピン対応回路(少なくともドライバ及びスキュー調整可変遅延回路を含む)の入出力端にそれぞれ接続され、第1、第2の伝送線路の各他端同士が接続されてDUT(被試験デバイス)を着脱自在に装着するICソケットの端子に接続されているIC試験装置のTDR(Time Domain Reflection)タイミング校正方法に関する。

【0009】請求項1では特に、ICソケットのDUT端を接地し、第 i ($i=1, 2$)ピン対応回路より試験波形を第 i ($i=1, 2$)伝送線路の一端に印加し、他端側のICソケットのDUT端で全反射して戻って来る迄の往復の伝搬遅延時間 $2 \times \tau_{ig}$ ($i=1, 2$)をそれぞれ測定し、その測定データを用いて第 i ($i=1, 2$)ピン対応回路のスキュー調整用可変遅延回路の遅延量を調整して、各ピン対応回路の試験波形のDUT端におけるタイミングを校正する。

(2)請求項2の発明では、前記(1)において、一端が第3スイッチを介して第3のピン対応回路の入出力端に接続され、他端が前記ICソケットの他の端子に接続されている第3の伝送線路を用い、第3の伝送線路が接続されるICソケットのDUT端を開放または接地し、第3ピン対応回路から試験波形を第3伝送線路の一端に印加し、他端で全反射して戻って来る迄の往復の伝搬遅延時間 $2 \times \tau_{3p}$ 及び $2 \times \tau_{3g}$ を測定し、これらの測定値より遅延時間の差値 $\Delta \tau_3 = \tau_{3g} - \tau_{3p}$ を求め、その差値を前記第 i ($i=1, 2$)伝送線路の伝搬遅延時間 τ_{ig} ($i=1, 2$)より引算して補正する。

(3)請求項3の発明では、前記(1)または(2)において、外形がDUTにほぼ等しく、DUTの各端子(ピン)と同じ位置に対応する端子を有し、それらの端子が共通の接地電極板に接続されている接地治具を用意

し、その治具をICソケットに装着することによってDUT端を接地する。

【0010】

【発明の実施の形態】この発明の実施例を図1、図2に、図6、図9と対応する部分に同じ符号を付けて示し、重複説明を省略する。この発明のTDR(Time Domain Reflection)タイミング校正方法では、ICソケット11のDUT端を接地し、ピン対応回路CH i ($i=1, 2$)より試験波形Saを伝送線路L i ($i=1, 2$)の一端に印加し、他端側のICソケット11のDUT端で全反射(反射係数 $=-1$)して戻って来る迄の往復の伝搬遅延時間 $2 \times \tau_{ig}$ ($i=1, 2$; gは接地の意味で付けてある)をそれぞれ測定する。その測定データを用いて各ピン対応回路内のスキュー調整用可変遅延回路の遅延量を調整し、各ピン対応回路の試験波形のDUT端におけるタイミングを校正する。印加波形Saと、DUT端で全反射(反射係数 $=-1$)して戻って来た信号Sbとの極性が逆であるので、両者が重畳すると振幅がほぼゼロとなる。従って標準コンパレータ14でSaとSbの加算信号Scの時間幅を計測すれば往復の遅延時間 $2 \times \tau_{ig}$ が得られる。

【0011】このようにして求めた遅延時間 $2 \times \tau_{ig}$ は、DUT端を接地するための配線の長さや太さによって微妙に変化し、ある程度の誤差を伴う。この誤差を小さくするために、次のような接地治具を用いるのが望ましい。この接地治具21は、外形がDUTにほぼ等しく、DUTの各端子(ピン)と同じ位置に対応する端子を有し、それらの端子が共通の接地電極板21aに接続される。接地電極板21aは接地インピーダンスを下げるために、幅が広くされている。

【0012】接地治具21でDUT端を接地し、伝搬遅延時間(Tpd)が1, 2, 3, 4, 5nSの5グループの線路各8本を用いて、図1と従来の図6の各方法によって遅延時間 τ を測定したときの測定誤差を図3A, B及び図4A, Bに示す。なお図3のピン対応回路CH i はドライバDrを有するがコンパレータCpのないもの(Drピンと呼ばれる)を用い、図4ではドライバDr及びコンパレータCpを有するもの(I/Oピンと呼ぶ)を用いた場合である。これらの図から明らかなように図1と図6の方法による測定誤差は同程度に小さく、従ってほぼ同様の精度でタイミング校正ができることが分る。

【0013】DUT端を接地治具21で接地してTpdを測定すると、上述のように従来のDUT端を開放して測定したのと同様に測定誤差を小さくできる。しかしながら、適当な接地治具21を用意できない場合にはTpdの測定誤差が大きくなる恐れがある。そのような場合には図5に示すように、STL(Single Transmission Line)配線の伝送線路L3とピン対応回路CH3を用いる。L3の接続されているI

Cソケット11のDUT端を開放または接地し、CH3から試験波形をL3の一端に印加し、他端で全反射して戻って来る迄の往復の伝搬遅延時間 $2 \times \tau_{3p}$ 及び $2 \times \tau_{3g}$ を測定する。 $2 \times \tau_{3g}$ の方は接地のし方で値がばらつき、誤差が多いが、 $2 \times \tau_{3p}$ の方は図3B、図4Bに示すように誤差が小さくより真値に近いので、ほぼ真値とみなして、 τ_{3g} の τ_{3p} からの偏差 $\Delta \tau_3 = \tau_{3g} - \tau_{3p}$ を求める。図1の方法で求めた伝送線路L1、L2の伝搬遅延時間 τ_{ig} ($i=1, 2$)も同じ接地治具を用いており、接地状態に起因する同じ程度の誤差が含まれていると考えられるので、 τ_{ig} から偏差 $\Delta \tau_3$ を差し引いて補正することもできる。即ち、 $\tau_{ig}' = \tau_{ig} - \Delta \tau_3$ (1)

【0014】

【発明の効果】① この発明ではDTL配線が施されたDUTボードの場合、DUT端を接地するようにしたので、DTLのそれぞれの線路の伝搬遅延時間を測定し、各ピン対応回路CHiのDUT端でのTDRタイミング校正を行うことができる。

② STL配線の線路L3を用いてDUT端を開放及び接地した遅延時間の差 $\Delta \tau_3 = \tau_{3g} - \tau_{3p}$ を求める

と、この差がDUT端の接地条件による誤差分にほぼ等しいので、DTL配線の各線路の τ_{ig} から上記偏差分 $\Delta \tau_3$ を差し引くことによって、誤差分をキャンセルし、校正精度を向上させることができる。

【図面の簡単な説明】

【図1】この発明の実施例を示すブロック図。

【図2】図1の要部の波形図。

【図3】ドライバピンを用い、この発明の図1と従来の図6で示した方法で伝送線路の伝搬遅延時間を測定した場合の測定誤差を示す図。

【図4】I/Oピンを用い、図1と図6の方法でTpdを測定したときの測定誤差を示す図。

【図5】この発明の他の実施例を示すブロック図。

【図6】従来のSTL配線を用いたTDR校正方法を示すブロック図。

【図7】図6の要部の波形図。

【図8】図6のピン対応回路CHの詳細を示すブロック図。

【図9】従来のSTLに対するTDR校正方法をDTLに適用した場合のブロック図。

【図10】図9の要部の波形図。

【図1】

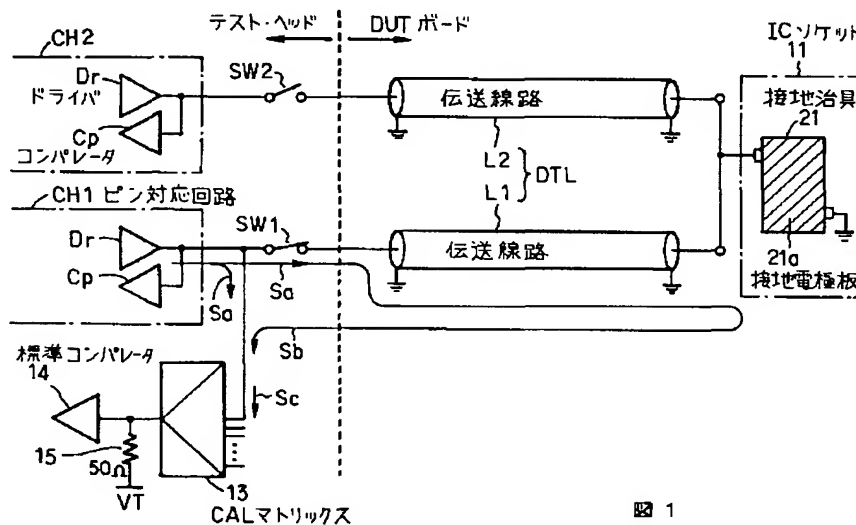
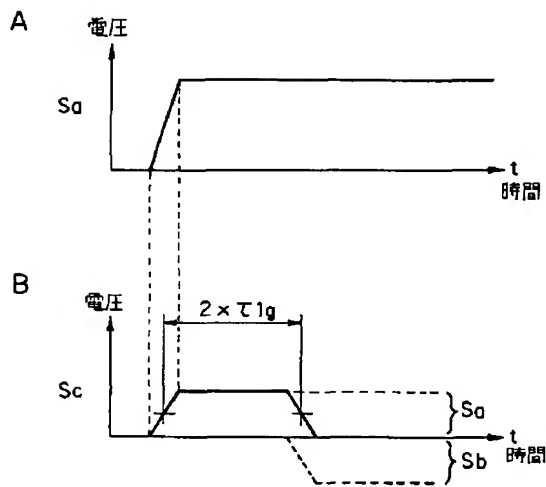
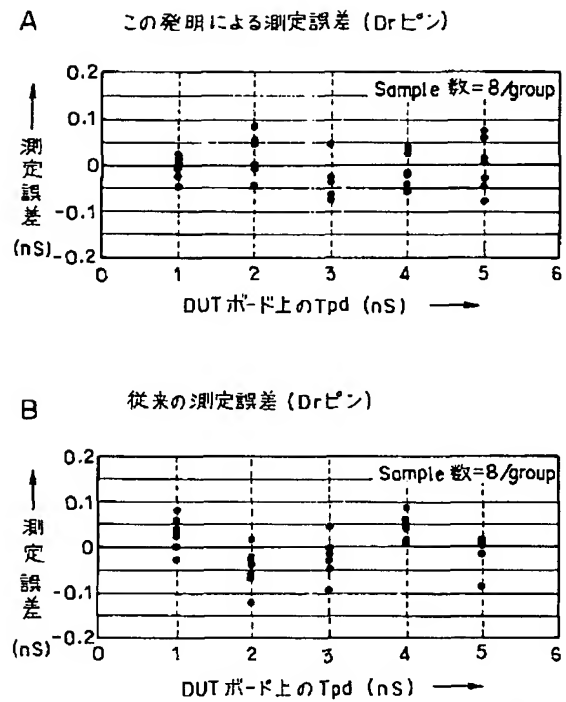


図 1

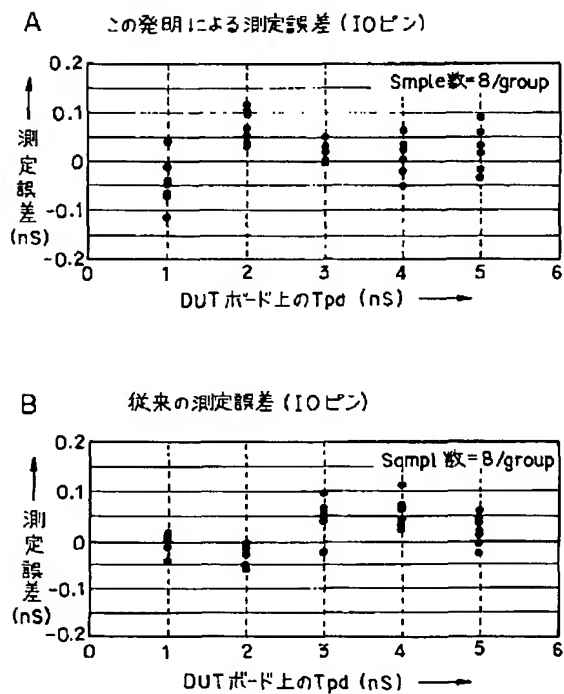
【図2】



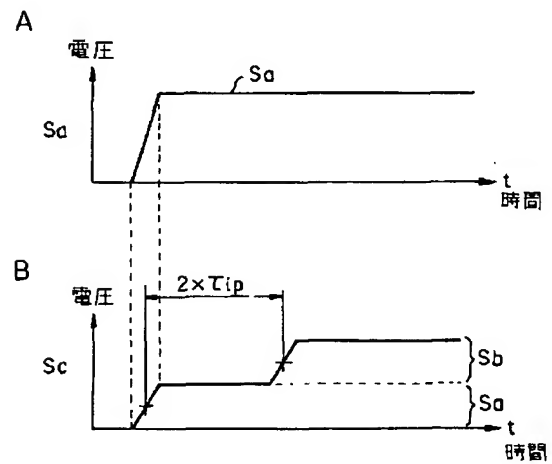
【図3】



【図4】



【図7】



【図5】

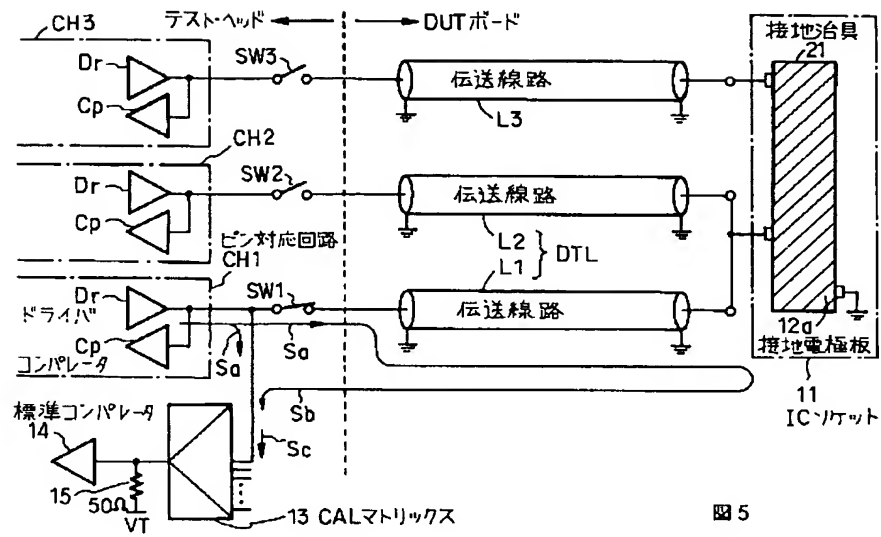


図5

【図6】

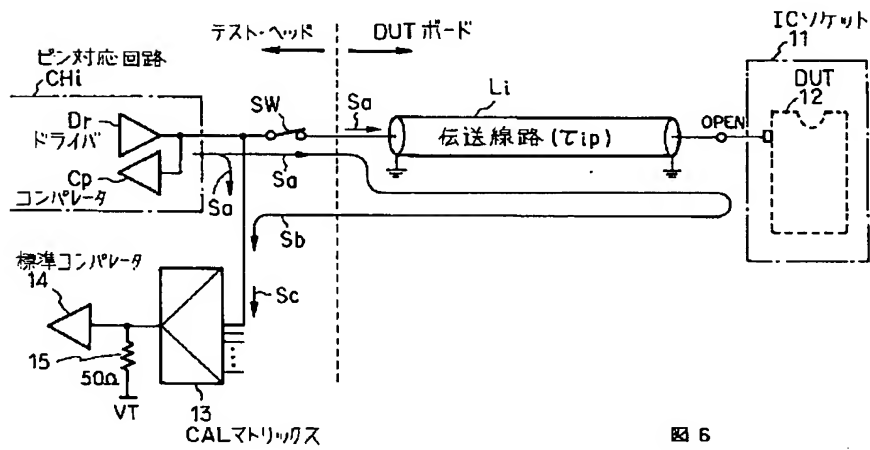


図6

【図8】

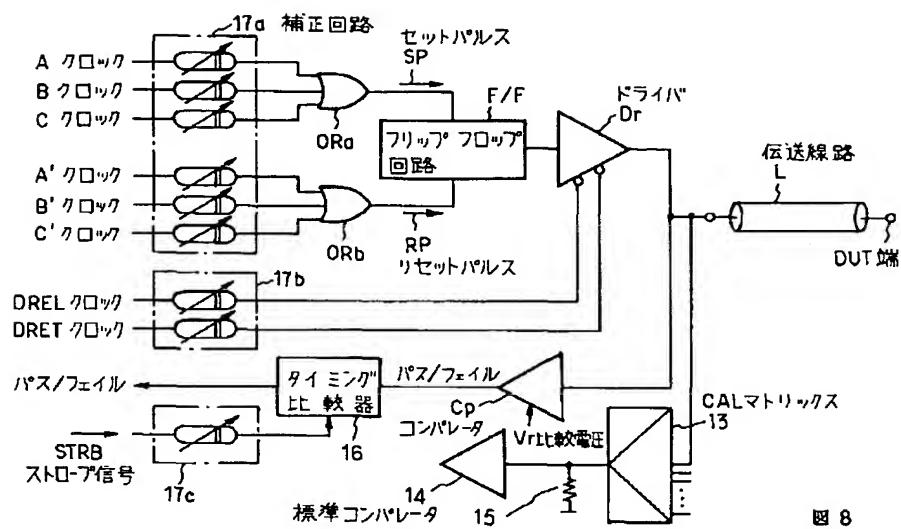


図 8

【図9】

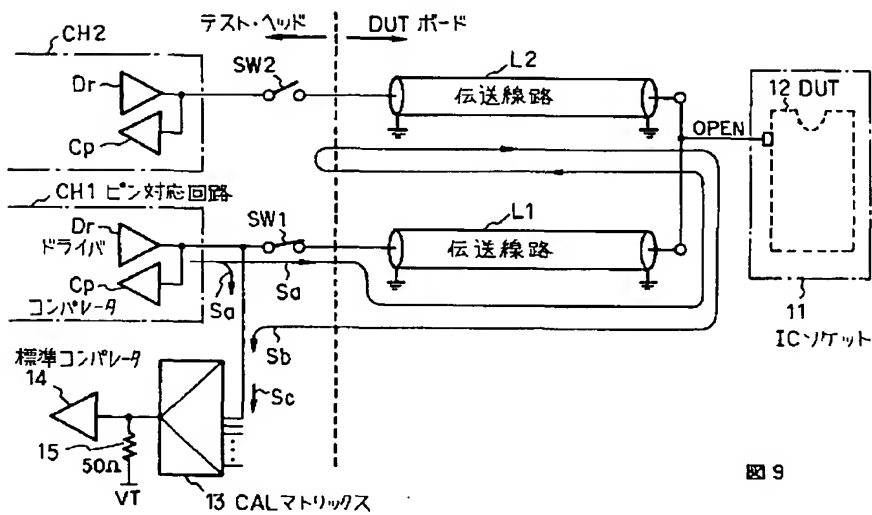


図 9

【図10】

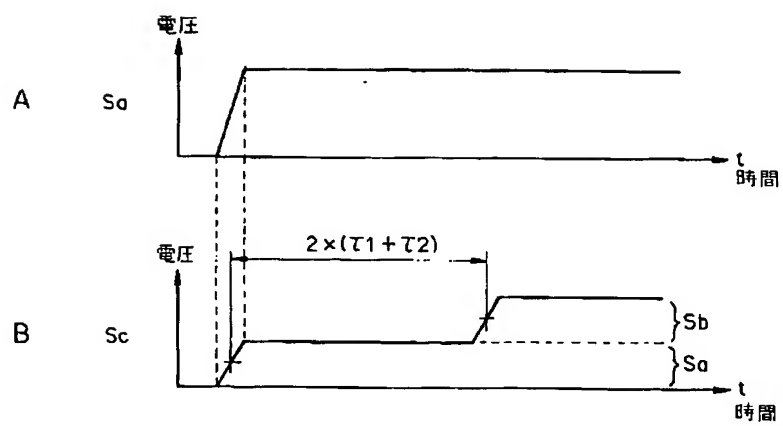


図 10